



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07056756 A**(43) Date of publication of application: **03.03.95**

(51) Int. Cl.

G06F 11/00
G06F 1/24
(21) Application number: **05199832**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **12.08.93**(72) Inventor: **KURAYA HISAYOSHI**
**(54) STATE READING CIRCUIT USING
MICROCOMPUTER**

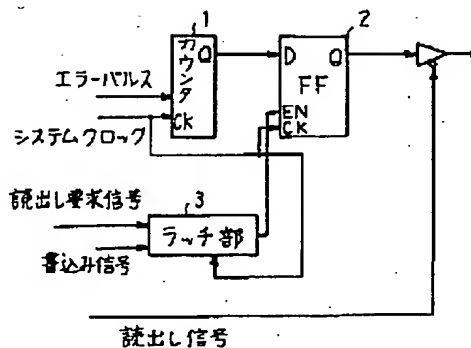
sure data can be obtained by one reading operation.

COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To read out accurate data in the case of reading out an output of an FF to be set at an 'H' level by a read signal outputted from a microcomputer and then clearing the FF by outputting a read request signal and a write signal for writing the read request signal in a latch part from the microcomputer.

CONSTITUTION: A read request signal outputted prior to the reading of an output from a counter 1 is latched in the latch part 3 by a write signal outputted simultaneously with the read request signal. The latching part 3 inputs the latched signal to the enable terminal of the FF 2 to be driven by a system clock. During the input of an enable signal to the enable terminal, the FF 2 outputs the output of the counter 1 and the output of the FF 2 is read out by the succeeding read signal. Even if an error pulse is inputted to the counter 1 at any time, its count value is inputted to the FF 2 at the time of inputting a read request signal outputted prior to the reading of the count value and then read out by the succeeding read signal, so that



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-56756

(43) 公開日 平成7年(1995)3月3日

(51) IntCl.⁸

G 0 6 F 11/00
1/24

識別記号

3 5 0 Z

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/00

3 5 0 C

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平5-199832

(22) 出願日 平成5年(1993)8月12日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 蔵屋 久義

大阪府大阪市中央区城見2丁目2番6号

富士通関西デジタル・テクノロジー株式会
社内

(74) 代理人 弁理士 井桁 貞一

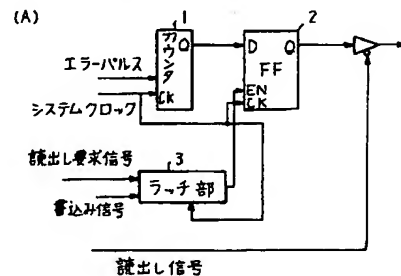
(54) 【発明の名称】 マイコンによる状態読出回路

(57) 【要約】

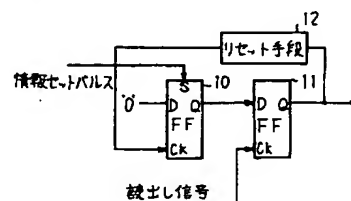
【目的】 マイコンとは非同期である情報セットパルスによりHレベルにセットされるFF10の出力を、マイコンよりの読出し信号にて読出し、読出した後にFF10をクリアする場合、正確なデータが読出せるマイコンによる状態読出回路の提供を目的とする。

【構成】 FF10の出力を入力し、マイコンよりの読出し信号によりFF10の出力を読出し、出力を読出したレベルにセットし出力するFF11と、FF11の出力がHレベルにセットされていればFF10をリセットするリセット手段2を設けた構成とする。

本発明の原理ブロック図



(B)



【特許請求の範囲】

【請求項1】 エラーパルスをシステムクロックでカウントするカウンタ（1）のカウント値を、該システムクロックと非同期なマイクロコンピュータにて読出す、状態読出回路において、該カウンタ（1）の出力を書込み読出し用データとして出力する、該システムクロックで動作するフリップフロップ（2）と、読出要求信号を書込み信号にてラッチし、該システムクロックに同期して該ラッチした信号を該フリップフロップ（2）のイネーブル端子に入力するラッチ部（3）を設け、且つ該マイクロコンピュータにて読出す前に該マイクロコンピュータより、読出要求信号と、該読出要求信号を該ラッチ部（3）に書込む信号を出力し、次に該フリップフロップ（2）の出力を読出す読出し信号を出力するようにしたことを特徴とするマイコンによる状態読出回路。

【請求項2】 マイクロコンピュータとは非同期である情報セットパルスによりHレベルにセットされる第1のフリップフロップ（10）の出力を、該マイクロコンピュータよりの読出し信号にて読出し、読出した後に該第1のフリップフロップ（10）をクリアする状態読出回路において、該第1のフリップフロップ（10）の出力を入力し、該マイクロコンピュータよりの読出し信号により該第1のフリップフロップ（10）の出力を読出し、出力を読出したレベルにセットし出力する第2のフリップフロップ（11）と、該第2のフリップフロップ（11）の出力がHレベルにセットされていれば該第1のフリップフロップ（10）をリセットするリセット手段（2）を設けたことを特徴とするマイコンによる状態読出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイコンによる状態読出回路に係り、特に伝送路等のエラー数をシステムクロックでカウントするカウンタのカウント値を、システムクロックと非同期なマイクロコンピュータにて読出す場合のマイコンによる状態読出回路及び、非同期転送モードにて、アラーム情報等を固定長のバケットのセルにて転送し、受信側にてはセルの到着時にフリップフロップ（以下FFと称す）をセットし、定期的に読出しているマイクロコンピュータ（以下マイコンと称す）が読み取ると該FFをリセットすることになっている等の、マイコンとは非同期である情報セットパルスによりセットされるFFの出力を、該マイコンよりの読出し信号にて読出し、読出した後は該FFをクリアする場合等の、マイコンによる状態読出回路の改良に関する。

【0002】

【従来の技術】 図5は従来例のカウント値を読出す場合の状態読出回路のブロック図及びタイムチャート、図6は従来例の情報セットパルスが非同期にセットされマイコンリードによりリセットされる場合の状態読出回路の

ブロック図及びタイムチャートである。

【0003】 図5では、エラーパルスを図5（A）に示すシステムクロックにてカウントするカウンタ1の出力を、システムクロックと非同期なマイコン（図示していない）にて読出す為に、マイコンより読出用のプログラムを取り出すアドレスを出力すると共に該アドレスをデコーダ20にも入力して図5（B）に示す如きHレベルの信号を出力させセクタ4に入力させ、又マイコンよりの図5（C）に示す如くLレベルにしたチップセレクト信号、図5（D）に示す如くLレベルにしたリードイネーブル信号をオア回路21に入力し出力をゲート5に入力させる。

【0004】 するとセクタ4では、デコーダ20よりHレベルが入力している間はFF1の出力を選択して出力し、ゲート5はオア回路21の出力がLレベルの間ゲートを開き、図5（E）に示す如きカウンタ1の出力を読出しデータとしてマイコンのデータバスに送る。

【0005】 図6では、図6（F）に示す如き、マイコンと非同期な情報到着を知らせる情報セットパルスがFF10のセット端子に入力すると、FF10の出力は、図6（G）に示す如くHレベルになる。

【0006】 マイコン（図示していない）がFF10の出力を読出す時は、読出用のプログラムを取り出すアドレス及び図6（B）に示す如くLレベルにしたチップセレクト信号、図6（C）に示す如くLレベルにしたリードイネーブル信号を出力し、リードイネーブル信号がLレベルの間に図6（D）に示す如くFF10の出力を確定して読出信号としてマイコンのデータバスに出力させる。

【0007】 この時、読出用のプログラムを取り出すアドレスはデコーダ17にも入力して出力よりHレベルを出力させナンド回路18に入力させ、又チップセレクト信号及びリードイネーブル信号はノア回路16にも入力し出力をナンド回路18に入力させ、ナンド回路18の出力を遅延回路19にてFF10の出力がマイコンのデータバスへ安定して出力されるよう僅か遅延させ図6（E）に示す如きクリアパルスを作り、FF10のクロック端子に入力し、立ち上がりで図6（G）に示す如くFF10をクリアする。

【0008】

【発明が解決しようとする課題】 しかしながら、図5の場合は、図5（E）に示す、カウンタ1の出力データを確定中に、図5（F）に示す如くエラーパルスが入力すると、図5（G）に示す如く、データ確定中にデータの変化点が出来、データが不確定となるので、2度読み、3度読みをし多数決をとってデータを確定せねばならない問題点がある。

【0009】 図6の場合は、図6（D）に示す、出力データを確定中に、図6（H）に示す如く情報セットパルスがFF10に入力すると、FF10の出力は図6

(I) に示す如くなり、図6 (J) に示す如く、データ確定中にデータの変化点が出来、データが不確定となり且つ図6 (I) に示す如くデータがこの時点でクリアされ次の読出しでは読出しが出来ず、正確なデータが読出せない問題点がある。

【0010】本発明は、エラーパルスをシステムクロックでカウントするカウンタのカウント値を、該システムクロックと非同期なマイコンにて読出す場合、1度読みで確定データが得られるマイコンによる状態読出回路と、マイコンとは非同期である情報セットパルスによりHレベルにセットされるFFの出力を、該マイコンよりの読出し信号にて読出し、読出した後に該FFをクリアする場合、正確なデータが読出せるマイコンによる状態読出回路の提供を目的としている。

【0011】

【課題を解決するための手段】図1は本発明の原理ブロック図である。エラーパルスをシステムクロックでカウントするカウンタのカウント値を、該システムクロックと非同期なマイコンにて読出す場合は、図1 (A) に示す如く、カウンタ1の出力を書込み読出し用データとして出力する、該システムクロックで動作するFF2と、読出要求信号を書込み信号にてラッチし、該システムクロックに同期して該ラッチした信号をFF2のイネーブル端子に入力するラッチ部3を設け、且つ該マイコンにて読出す前に必ず該マイコンより、読出要求信号と、該読出要求信号をラッチ部3に書き込む信号を出力し、次にFF2の出力を読出す読出し信号を出力する構成とする。

【0012】マイコンとは非同期である情報セットパルスによりHレベルにセットされるFFの出力を、該マイコンよりの読出し信号にて読出し、読出した後に該FFをクリアする場合は、図1 (B) に示す如く、FF10の出力を入力し、該マイコンよりの読出し信号によりFF10の出力を読出し、出力を読出したレベルにセットし出力するFF11と、FF11の出力がHレベルにセットされていればFF10をリセットするリセット手段2を設けた構成とする。

【0013】

【作用】図1 (A) の場合は、カウンタ1の出力を読出す前に出力される読出要求信号を、同時に出力される書き込み信号にてラッチ部3にラッチし、ラッチ部3ではラッチした信号をシステムクロックで動作するFF2のイネーブル端子に入力し、FF2ではイネーブル端子にイネーブル信号が入力している間に、FF2にてカウンタ1の出力を出力し、次にくる読出し信号にてFF2の出力を読出すようにするので、エラーパルスが何時カウンタ1に入力してもカウント値は、読出す前に出力される読出要求信号入力時にFF2に取り込まれ、それから、次にくる読出し信号にて読出されるので、1度読みで確定データが得られる。

【0014】図1 (B) の場合は、情報セットパルス入力によりFF10がセットされ出力がHレベルになると、Hレベルの信号はマイコンよりの読出し信号によりFF11に取り込まれマイコンのデータバスに出力するも、このHレベルの信号はリセット手段12にも入力しFF10をクリアする。

【0015】しかし読出し信号がきた時、FF10がセットされていて出力がLレベルの時は、FF11の出力はLレベルで、且つリセット手段12はFF10をクリアしないので、データ出力中に情報セットパルスがFF10に入力しても、この時はFF11の出力はLレベルの儘で、FF10はクリアされないで、次の読出しの時に読み出すことになり、正確なデータが読み出される。

【0016】

【実施例】図2は本発明の実施例のカウント値を読出す場合の状態読出回路のブロック図、図3は図2の各部のタイムチャート、図4は本発明の実施例の情報セットパルスが非同期にセットされマイコンリードによりリセットされる場合の状態読出回路のブロック図及びタイムチャートである。

【0017】図2では、マイコンが読出す前に出力される、ソフトウェアによる読出要求信号をFF3-1に入力し、読出要求信号と同時にマイコン (図示されていない) より出力される読出要求信号を書き込むプログラムを読み出すアドレスをデコーダ7にも入力し、図3

(B) に示す如く信号30をHレベルにしナンド回路9に入力し、又図3 (C) に示す如くLレベルにしたチップセレクト信号、図3 (D) に示す如くLレベルとしたライトイネーブル信号も出力し、ナンド回路9に入力させる。

【0018】すると、ナンド回路9の出力は図3 (F) に示す如き信号を出力し、FF3-1のクロック端子に入力し、FF3-1の出力は図3 (G) に示す如くなり、FF3-2に出力する。

【0019】FF3-2では、図3 (A) に示すシステムクロックに同期して取込み、出力は図3 (H) に示す如くなり、FF3-3に出力する。FF3-3では、システムクロックに同期して取込み出力は図3 (I) に示す如くなり遅延回路3-4に入力する。

【0020】遅延回路3-4ではFF3-2の出力をFF3-3に取り込む際のホールド分及びカウンタ1の出力からFF2に取り込む際のホールド分が確保出来るように遅延させ、FF2のイネーブル端子に入力しイネーブルにすると共にFF3-1、3-2のリセット端子に入力し、FF3-1、3-2をリセットする。

【0021】カウンタ1は、エラーパルスが入力すると、システムクロックにてカウントしカウント値を出力するが、FF2ではイネーブルになっている時の、システムクロックで取込み、図3 (J) に示す如く取り込ん

だデータを出力する。

【0022】するとマイコンは、FF2より読出すプログラムを取り出すアドレスをデコーダ7にも入力し、図3(B)に示す如く信号31をHレベルにし、セクタ4に入力し、FF2の出力を選択して出力させ、又上記アドレスと同時に出力される図3(C)に示す如くLレベルとしたチップセレクト信号、図3(K)に示す如くLレベルとしたリードイネーブル信号も、オア回路8に入力し、オア回路8の出力がLレベルの間ゲート5を開き、図3(L)に示す如くデータを出力させる。

【0023】即ち、エラーパルスが何時カウンタ1に入力してもカウンタ値は、読出す前に出力される読出要求信号入力時にFF2に取り込まれ、それから、次にくる読出し信号にて読出されるので、1度読みで確定データが得られる。

【0024】図4の場合は、マイコンよりFF10の出力を読出すプログラムを取り出すアドレスをデコーダ14にも入力すると、図4(A)に示す如く、出力aをHレベルとし又同時にマイコンより出力される図4(B)に示す如くLレベルとしたチップセレクト信号、図4(C)に示す如くLレベルとしたリードイネーブル信号もノア回路13に入力し出力をアンド回路15に入力する。

【0025】するとアンド回路15の出力は図4(D)に示す如きパルスとなり、FF11のクロック端子及び遅延回路12-2に入力し、遅延回路12-2では、データ確定期間が安定に出力出来るよう僅か遅延させ NAND回路12-1に入力させる。

【0026】一方、マイコンとは非同期な図4(E)に示す如き情報セットパルスがFF10のセット端子に入力すると、FF10の出力は図4(F)に示す如くHレベルとなり、FF11に送出される。

【0027】FF11では、アンド回路15の出力の立ち上がりで入力のHレベルを読出し出力よりは図4

(G)に示す如きHレベルを出力しナンド回路12-1に入力する。

【0028】するとナンド回路12-1の出力は図4(H)に示す如きパルスを出力し、立ち上がりでFF10をリセットする。従ってFF11の出力よりは図4(I)に示す確定したデータを出力する。

【0029】図4(D)に示すアンド回路15の出力の立ち上がり時点で、FF10の出力がLレベルで、FF11の出力がLレベルであれば、FF11の出力はLレ

ベルの儘で、FF10をリセットしないので、データ出力中に、情報セットパルスがFF10に入力しても、この時はFF11の出力はLレベルの儘で、FF10はクリアされないで、次の読出しの時に読み出すことになり、正確なデータが読み出される。

【0030】

【発明の効果】以上詳細に説明せる如く本発明によれば、エラーパルスをシステムクロックでカウントするカウンタのカウント値を、該システムクロックと非同期なマイコンにて読出す場合、1度読みで確定データが得られるマイコンによる状態読出回路及び、マイコンとは非同期である情報セットパルスによりHレベルにセットされるFFの出力を、該マイコンよりの読出し信号にて読出し、読出した後に該FFをクリアする場合、正確なデータが読出せるマイコンによる状態読出回路が得られる効果がある。

【図面の簡単な説明】

【図1】は本発明の原理ブロック図、

【図2】は本発明の実施例のカウンタ値を読出す場合の状態読出回路のブロック図、

【図3】は図2の各部のタイムチャート、

【図4】は本発明の実施例の情報セットパルスが非同期にセットされマイコンリードによりリセットされる場合の状態読出回路のブロック図及びタイムチャート、

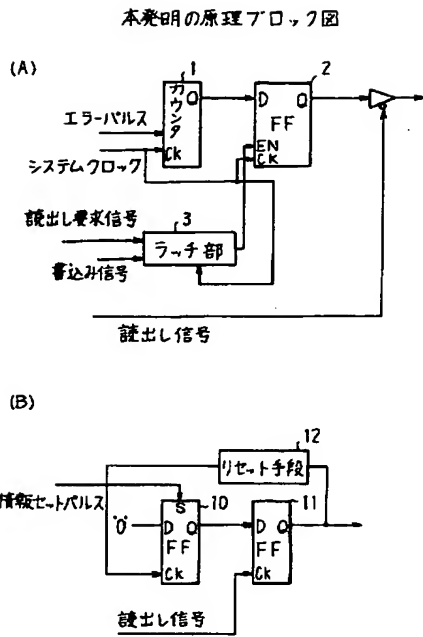
【図5】は従来例のカウンタ値を読出す場合の状態読出回路のブロック図及びタイムチャート、

【図6】は従来例の情報セットパルスが非同期にセットされマイコンリードによりリセットされる場合の状態読出回路のブロック図及びタイムチャートである。

【符号の説明】

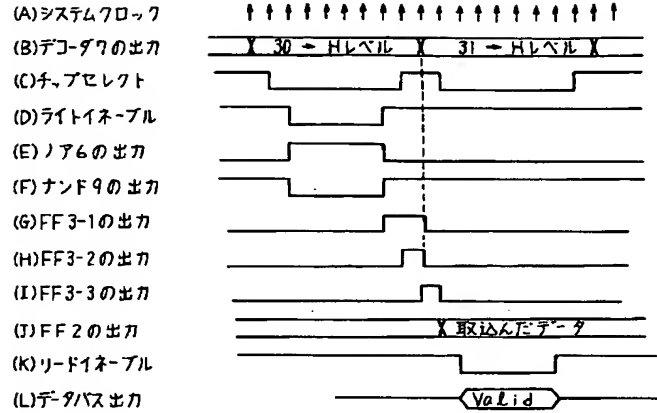
1はカウンタ、
2, 3-1, 3-2, 3-3, 10, 11はフリップフロップ、
3はラッチ部、
3-4, 12-2, 19は遅延回路、
4はセクタ、
5はゲート、
6, 13, 16はノア回路、
7, 14, 17, 20はデコーダ、
8, 21はオア回路、
9, 12-1, 18はナンド回路、
12はリセット手段、
15はアンド回路を示す。

【図1】



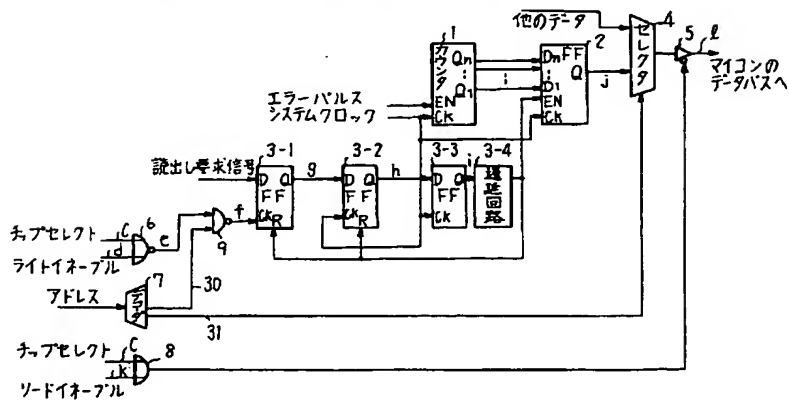
【図3】

図2の各部のタイムチャート



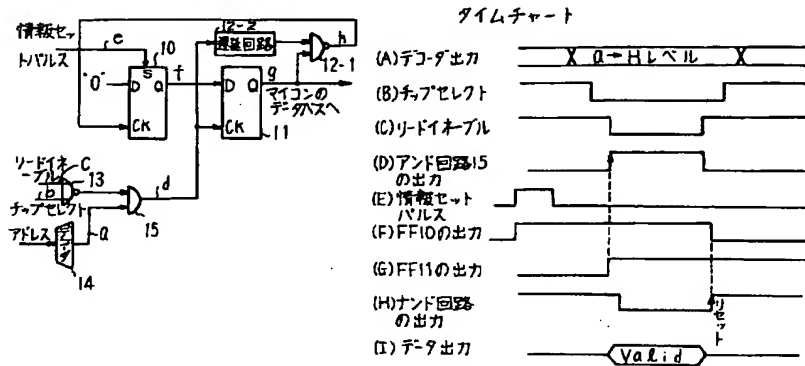
【図2】

本発明の実施例のカウンタの値を読出す場合の状態読出回路のブロック図



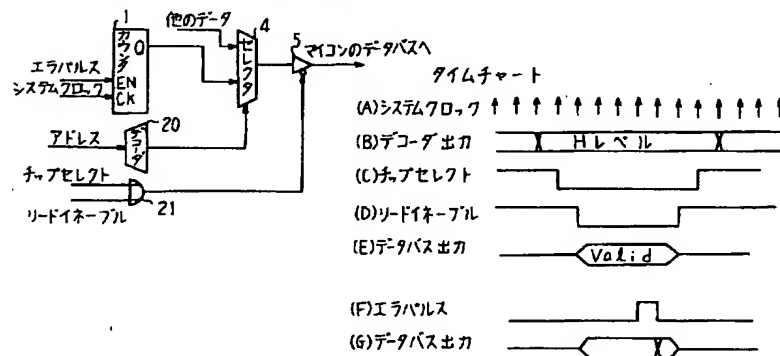
【図4】

本発明の実施例の情報セットパルスが非同期にセットされマイコンソードによりリセットされる場合の状態読出回路のブロック図及びタイムチャート



【図5】

従来例のカウンタの値を読出す場合の状態読出回路のブロック図及びタイムチャート



【図6】

従来の情報セットパルスが非同期にセットされマイコンソードによりリセットされる
場合の状態設定回路のブロック図及びタイムチャート

